



**11252062 A**

Generated Document.

(21) Application number: 10308244

(51) Intl. Cl.: H04L 7/00 H04N 5/93 H04N 7/24

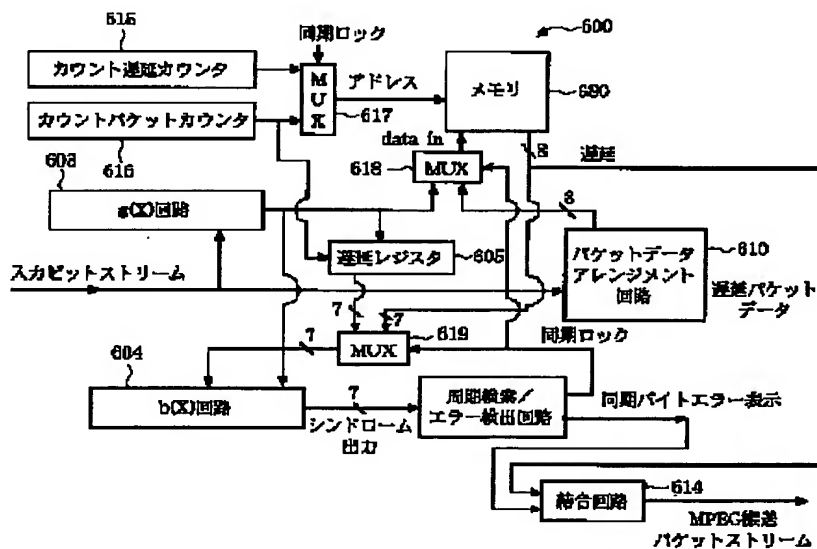
(22) Application date: 29.10.98

**(54) METHOD AND DEVICE  
FOR EFFECTIVELY  
EXECUTING  
SYNCHRONIZATION AND  
CYCLIC REDUNDANCY CHECK  
OF SIGNAL IN  
COMMUNICATION SYSTEM**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To perform effective synchronization and CRC(cyclic redundancy check) of signals.

**SOLUTION:** A memory 680 stores the output of a 1st function circuit 603 in a synchronization acquisition mode and inputs the latest bit and a memory delay bit to a 2nd function circuit 604 to make the circuit 604 generate a relative syndrome byte. If a receiving packet has no error, a decoder is coincident with a bit stream constitution, the syndrome byte has a prescribed value and packet synchronization is attained; a relatively small number of bits which are requested as a delay input to the circuit 604 are switched to a delay register 605. The memory 680 can be reused as a data delay memory in a synchronous lock operation mode. Then the generated syndrome byte corresponding to the delay packet data can be inserted as the first byte of the packet stream carrier data, and an error display signal is supplied at a packet start point.



**COPYRIGHT: (C)1999,JPO**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-252062

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 7/00

H 0 4 L 7/00

Z

H 0 4 N 5/93

H 0 4 N 5/93

A

7/24

7/13

A

審査請求 未請求 請求項の数22 O L (全 14 頁)

(21) 出願番号 特願平10-308244

(22) 出願日 平成10年(1998)10月29日

(31) 優先権主張番号 08/964, 681

(32) 優先日 1997年11月4日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 フランク・エー・レイン

アメリカ合衆国、08055 ニュージャージー

州、メドフォード・レイクス、モホーク・トレイル 148

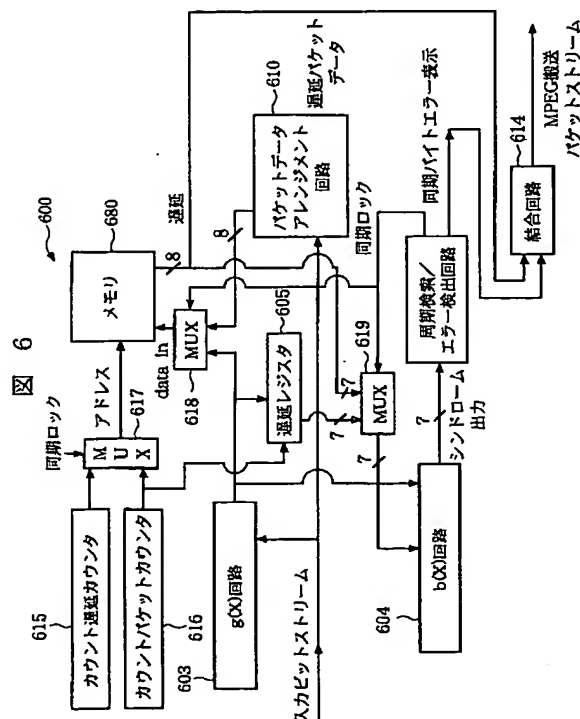
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 通信方式における信号の同期化および巡回冗長検査を効率的に実行する方法および装置

(57) 【要約】 (修正有)

【課題】 信号の同期化及びCRCチェックを効果的に行う。

【解決手段】 メモリ680を同期取得モード時は第1関数回路603の出力を記憶させ、第2関数回路604に対し最新ビットと共にメモリの遅延ビットを入力して第2関数回路が関連するシンδροームバイトを発生させる。受信パケットにエラーがなく、デコーダがビットストリームの構成に合致し、シンδροームバイトの値が規定値となり、パケット同期化されると、第2関数回路への遅延入力として要求される相対的に僅かなビットは小容量の遅延レジスタ605に切替える。メモリは同期ロック操作モード中、データ遅延メモリとして再利用できる。遅延パケットデータに対応した発生シンδροームバイトを、パケットストリーム搬送データの最初のバイトとして挿入でき、パケット始点でエラー表示信号を供給する。



## 【特許請求の範囲】

【請求項 1】 複数のパケットを有し、各パケットに巡回冗長符号を組合わせたパケットストリームを処理する方法であって、

パケット同期化操作を実行するステップを有し、前記パケット同期化操作が、

i. 巡回冗長符号復号操作に使用する遅延装置として、記憶装置の N 個の記憶場所を用いて前記巡回冗長符号復号操作を実行するステップであり、前記 N が、各パケットに含まれるビット数の半分以上の整数である前記ステップと、

パケット同期化を達成したら、

i i. 前記巡回冗長符号復号操作で使用した選択ビットを格納する遅延装置の M 個の記憶場所を用いて関連するシンδροームを発生するために前記巡回冗長符号復号操作を実行するステップであり、前記 M が、前記 N より少なくとも 5 倍小さい整数である前記ステップと、

i i i. 前記巡回冗長符号復号操作で使用した遅延装置の機能以外の機能のために、前記巡回冗長符号復号操作で以前に使用した前記記憶装置の少なくとも N-M 個の記憶場所を使用するステップとを含むことを特徴とするパケットストリームの処理方法。

【請求項 2】 請求項 1 に記載のパケットストリームの処理方法であって、前記巡回冗長符号復号操作で使用した遅延装置の機能以外の機能のために、前記記憶装置の前記 N 個の記憶場所を使用するステップが、処理すべきパケットのデータの大部分を一時的に格納するステップを含んでいることを特徴とするパケットストリームの処理方法。

【請求項 3】 請求項 2 に記載のパケットストリームの処理方法であって、処理すべきパケットストリームが M C N S パケットストリームであり、パケット同期化を達成したら、前記被処理パケットから M P E G 準拠搬送パケットストリームを発生するステップを有することを特徴とするパケットストリームの処理方法。

【請求項 4】 請求項 2 に記載のパケットストリームの処理方法であって、前記被処理パケットの各々が、巡回冗長検査バイトと、ヘッダと、ペイロードとを含む M C N S パケットであり、M P E G 準拠搬送パケットストリームを発生するステップを有し、M P E G 準拠搬送パケットストリームを発生する前記ステップが、

i. 巡回冗長検査バイトの位置に M P E G 同期バイトを挿入するステップと、

i i. 関連する前記パケットがエラーを含んでいるかを検査するために、発生された関連する前記シンδροームを検査するステップと、

i i i. 検査された関連する前記シンδροームと関連するパケットがエラーを含んでいる場合、前記パケットがエラーを含んでいることを表す信号を関連する前記パケットの前記ヘッダ内に挿入するステップとを含むことを

特徴とするパケットストリームの処理方法。

【請求項 5】 請求項 4 に記載のパケットストリームの処理方法であって、関連する前記パケットがエラーを含んでいるかを検査するために、発生された関連する前記シンδροームを検査する前記ステップが、発生された関連する前記シンδροームを、エラーのないパケットを表す予め選択した値と比較するステップを含んでいることを特徴とするパケットストリームの処理方法。

【請求項 6】 請求項 5 に記載のパケットストリームの処理方法であって、パケット同期化の消失を検出するために多重シーケンシャル発生シンδροームの値をモニタし、パケット同期化の消失の検出時に前記パケット同期化操作を繰り返すステップを有することを特徴とするパケットストリームの処理方法。

【請求項 7】 請求項 6 に記載のパケットストリームの処理方法であって、少なくとも四つのシーケンシャル発生シンδροームが、エラーのないパケットを表す予め選択した値と整合しない時に、パケット同期化の消失の検出がなされることを特徴とするパケットストリームの処理方法。

【請求項 8】 請求項 7 に記載のパケットストリームの処理方法であって、前記予め選択した値が M P E G 同期バイトの値であることを特徴とするパケットストリームの処理方法。

【請求項 9】 請求項 8 に記載のパケットストリームの処理方法であって、発生された前記 M P E G 搬送パケットがビデオデータを含み、発生された前記 M P E G 搬送パケットに含まれる前記ビデオデータを復号するステップと、前記復号したビデオデータをディスプレイ装置に表示するステップとを有することを特徴とするパケットストリームの処理方法。

【請求項 10】 請求項 9 に記載のパケットストリームの処理方法であって、前記ディスプレイ装置が高精細度テレビジョン受信機であることを特徴とするパケットストリームの処理方法。

【請求項 11】 デジタルパケットストリームに含まれ、前記パケットストリームが C R C チェックバイトとパケットデータとをもつ一連のパケットを含む、ビットを処理する方法であって、

前記パケットストリームに含まれるビットを受信するステップと、

前記受信したビットを第 1 の関数回路を用いて処理するステップと、

前記第 1 の関数回路で発生した一組のビットをメモリのセグメントに格納するステップと、

前記格納したビットの少なくともいくつかを第 2 の関数回路に供給するステップと、

前記第 2 の関数回路の出力を、パケット同期化状態を検出するためにモニタするステップと、

前記パケット同期化状態の検出に応じて、第 1 のメモリ

セグメントの大きさの  $1/10$  以下の遅延レジスタに、前記第 1 の関数回路から出力されたビットのうちの選択したビットを格納するステップと、前記第 1 のメモリセグメントを用いて前記第 1 の関数回路の出力以外のデータを格納するステップとを有することを特徴とするビットの処理方法。

【請求項 1 2】 請求項 1 1 に記載のビットの処理方法であって、前記第 2 の関数回路を作動してシンドロームバイトの少なくとも一部を発生させるステップを有することを特徴とするビットの処理方法。

【請求項 1 3】 請求項 1 2 に記載のビットの処理方法であって、パケット同期化状態を検出するために前記第 2 の関数回路の出力をモニタするステップが、前記パケット間隔に対応する間隔で前記第 2 の関数回路から出力される予め選択した値をモニタするステップを含んでいることを特徴とするビットの処理方法。

【請求項 1 4】 請求項 1 2 に記載のビットの処理方法であって、前記第 1 および第 2 の関数回路が一度に 7 ビットで作動し、前記予め選択した値が 4 7 H E X であることを特徴とするビットの処理方法。

【請求項 1 5】 請求項 1 2 に記載のビットの処理方法であって、前記第 1 のメモリセグメントを用いて前記第 1 の関数回路の出力以外のデータを格納するステップが、前記第 2 の関数回路から出力された前記シンドロームバイトの一部を発生するのに使用した受信パケットデータを前記メモリセグメントに格納するステップを含み、更に、前記第 2 の関数回路から出力された前記シンドロームバイトの一部と前記メモリセグメントに格納されたパケットデータとを結合するステップを有することを特徴とするビットの処理方法。

【請求項 1 6】 請求項 1 5 に記載のビットの処理方法であって、前記メモリセグメントに格納された前記パケットデータがデータエラーを含んでいるかを決定するため前記第 2 の関数回路の出力を検査するステップを有し、前記シンドロームバイトの一部と前記メモリセグメントに格納された前記パケットデータとを結合するステップが、前記パケットデータにデータエラーが含まれていることが判明した時に前記パケットデータに含まれるヘッダにエラー表示信号を挿入するステップを含んでいることを特徴とするビットの処理方法。

【請求項 1 7】 巡回冗長符号とパケットデータとを含むパケットを処理する装置であって、受信パケットを受信し処理して出力ビットを発生する第 1 の関数回路と、前記第 1 の関数回路に接続され、パケット同期化操作モード中に、前記第 1 の関数回路の出力ビットの第 1 の部分を格納し、遅延した第 1 の関数出力ビットを発生するメモリと、前記第 1 の関数回路に接続され、パケット同期化ロック

操作モード中に、前記第 1 の関数回路の出力ビットの、前記第 1 の部分の少なくとも  $1/10$  以下の第 2 の部分を格納し、パケット同期化ロック操作モード中に前記遅延した第 1 の関数出力ビットを発生するデータ記憶装置と、

前記第 1 の関数回路の出力ビットおよび遅延した第 1 の関数回路の出力ビットの関数としてシンドロームバイトの少なくとも一部を発生する第 2 の関数回路と、パケット同期化ロック操作モード状態の発生を検出する手段とを有することを特徴とするパケットの処理装置。

【請求項 1 8】 請求項 1 7 に記載のパケットの処理装置であって、更に、前記メモリの出力と、前記データ記憶装置の出力と、前記第 2 の関数回路の入力とに接続されたスイッチング回路を有し、前記スイッチング回路が前記検出手段によって発生したモード表示信号に応動して、パケット同期化取得操作モード中には前記メモリから前記第 2 の関数回路の入力に前記遅延した第 1 の関数回路の出力ビットを供給し、またパケット同期化ロック操作モード中には前記データ記憶装置から前記第 2 の関数回路の入力に前記遅延した第 1 の関数回路の出力ビットを供給するようにしたことを特徴とするパケットの処理装置。

【請求項 1 9】 請求項 1 8 に記載のパケットの処理装置であって、前記メモリがパケット同期化ロック操作モード中にパケットデータを格納するのに用いられ、更に前記メモリに格納されたパケットデータを、前記第 2 の関数回路の出力の関数として発生したエラー表示信号と結合する手段を有していることを特徴とするパケットの処理装置。

【請求項 2 0】 請求項 1 8 に記載のパケットの処理装置であって、巡回冗長符号を含む前記パケットが MC N S パケットであり、またパケットデータを結合する前記手段が M P E G 搬送パケットを発生することを特徴とするパケットの処理装置。

【請求項 2 1】 請求項 2 0 に記載のパケットの処理装置であって、更に、発生した前記 M P E G 搬送パケットを伝送する送信機と、前記送信機に接続され、前記 M P E G 搬送パケットを復号するデコーダと、前記デコーダに接続され、前記 M P E G 搬送パケットに含まれるデータを出力するデータ出力装置とを有することを特徴とするパケットの処理装置。

【請求項 2 2】 請求項 2 1 に記載のパケットの処理装置であって、前記デコーダおよびデータ出力装置が高精度テレビジョン受信機の一部であることを特徴とするパケットの処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、通信方式、例えばケーブルテレビジョンシステムを介してのデータストリームの放送を伴う通信方式における信号の同期化および

巡回冗長検査を効率的に実行する方法および装置に関する。

#### 【0002】

【従来の技術】 デジタルビデオおよびオーディオシステムとして目覚しく成長し続けているデータ、例えばビデオおよびオーディオデータのデジタル通信は益々一般的なものとなってきた。符号化したビットストリームを適切に復号するために、同期化機能を実施して符号化したビットストリームに含まれる個々のデータパケットおよび／または符号を適切に認識し復号できるようにしている。

【0003】 MPEG2は、例えばオーディオおよびビデオデータを伝送するようにされるデータパケット構造の一つの規格をなしている。MPEG2規格は、1994年11月13日付けの国際規格機構Moving Picture Experts Group, Recommendation H. 222.0, ISO/IEC 13818-1 "Information Technology-Generic Coding of Moving Pictures and Associated Audio" に開示されている。MPEGフォーマットは図1に示す構造をもつ188バイト(1504ビット)パケットを画定している。MPEG搬送パケットは各搬送パケットの開始時に47HEXの値をもつ同期バイトを含んでいることが認められる。同期バイトの後には3バイトのヘッダおよび184バイトのペイロードが続いている。データパケットの最初のバイトすなわち同期バイトは、搬送ビットストリームにおけるパケットアライメントを回復させる同期化機構として用いられる。パケットアライメントは、値47HEXの割当てられる同期バイトのビットストリームにおける反復出現および位置を検出することにより通常達成される。

【0004】 パケット同期化に加えて、伝送データにおけるエラーの検出および修正も、伝送データが正確に復号されそして使用、例えば表示されることになる場合には重要である。

【0005】 被伝送データにおけるエラー検出および修正を容易にするために、伝送に先立ってしばしば巡回冗長符号(CRC)が発生されそして伝送されるビットストリームに加えられるかまたは結合される。CRCコードは、例えば一つ以上のCRCチェックバイトの形態でデータのエラーを特定しかつ修正するのに用いられ得る。このようなデータのエラーは、例えばデータ伝送中に導入され得る。CRCコードがデータのエラーを特定または修正するのに用いられ得る前に、通常ビットストリームの同期化が行われなければならない。同期化が行われな限り、CRCコードに対応したビットは正確に特定されず受信データに加えられ得ない。

【0006】 MPEGに基くある特定の規格は、MCNS Data-Over-Cable Interface Specifications, Radio Frequency Interface Specification, Document No. SP-RF II01-970326, Interim Specification (1997) に記載さ

れているマルチメディアケーブルネットワークシステム(MCNS)規格である。

【0007】 MCNS規格は、ケーブルテレビジョンシステムで、例えばビデオおよびオーディオデータ伝送する場合に使用するようにされるパケットフォーマットについて述べている。MCNS規格は、パケットアライメントに対してMPEGで定義した同期バイトを用いるよりはむしろパケットのヘッダおよびペイロード部分のMPEG搬送ストリームフォーマットを用いるが、MCNS規格は、パケット同期化およびアライメントの両方に使用されるCRCチェックバイトを定義している。MCNS規格においては、CRCチェックバイトはパケットのヘッダおよびペイロード部分にわたって計算され、そして次のパケットの最初のバイトとして、例えばMPEG搬送ストリームの次のパケットにMPEG同期バイトの配置される位置に挿入される。図2には搬送パケットに対するCRCバイトを発生するのに使用したバイトおよび発生したCRCバイトのパケットストリーム内の位置を示す。復号時においてシンドロームデコーダによるMCNS搬送パケットのビットの処理によりCRCシンドロームが得られ、パケットアライメントが正しくかつパケットがエラーなしで転送されるとすると、出力のとして値47HEXが得られる。

【0008】 図3には、MCNS CRCバイトを発生するための公知のエンコーダ回路300を示す。図示するように、エンコーダ回路300は、複数の30ユニットの遅延素子302~331と、20個の加算器340~359と、二つのスイッチ370, 371と、一つの遅延素子380とを備えている。遅延素子380はそれへの信号入力を1497クロック周期だけ遅延させる。エンコーダ300の種々の要素は図3に示すように互いに結合される。入力最初の1496ビットを受信している間は、スイッチ370, 371は位置“A”にあり、そして次の8ビットの間には位置“B”に切替えられ、その後処理されるべき次のデータパケットの開始時に位置“A”に戻される。発生したMCNSチェックバイトの八つのビットはエンコーダチェックサム出力b0~b7から得られる。

【0009】 CRC MCNSチェックバイトシンドローム復号動作を実施する公知の装置400を図4に例示する。図示するように、公知のデコーダは、15個のユニット遅延素子(402~416)と、8個の加算器(420~427)とを備えている。遅延素子480はそれへの信号入力を1497クロック周期だけ遅延させる。デコーダ400の種々の要素は互いに結合されて、例示した線形フィードバックシフトレジスタ(LFSR)装置を形成する。デコーダ400の動作は下記の二つの関数g(X)およびb(X)に基いて説明される。

#### 【0010】

$$f(X) = [1 + X^{1497} b(X)] / g(X)$$

ここで

$$g(X) = 1 + X + X^5 + X^6 + X^8$$

$$b(X) = 1 + X + X^3 + X^7$$

デコーダ400の出力はCRCシンドロームである。パケットとチェックサムとを合わせた全部で1504ビットがデコーダ400のシフトレジスタ装置を通過した後、CRCシンドロームを表わす最後の8ビットは値47HEXを含むべきである。他の全ての値は、シンドローム発生装置がパケット構造に正しくアライメントされてないかまたはパケットにエラーが発生しているかを表わしている。従って、パケット間隔で値47HEXが繰り返し発生している場合にはパケットアライメントが適切であることを表わしている。

【0011】上述のように、MCNS仕様では同期回復とCRC多項式チェック機能とを組み合わせたものが使用される。この組み合わせ機能は、各受信パケットにおけるエラー検出動作を実施しながらMPEGビットストリームへの伝送データを回復するためにパケットの回復とバイトアライメントをもたらす二重の目的を果たしている。

【0012】上述のように、MCNSチェックバイトは特定のCRCチェックバイトに対応した受信パケットにおけるエラーの有無をチェックするのに用いられ得る。図2に示すように、所定のパケットに対するMCNSチェックバイトは、ビットストリームの中でその後にパケットが続く位置に位置決めされる。従って、パケットのエラーをチェックするために使用したCRC計算は、完全なパケットを受信した後に完了するだけである。公知の技術を用いてCRC計算を完了するには、1497ビット遅延に対応する1497周期入力を遅延できる遅延素子を用いる必要がある。

【0013】パケット同期化およびCRC動作に続く処理動作においてエラーを含むパケットが使用されるべきでないことが非常に望ましい。従って、パケットの終わりではなくパケットの最初でパケットのエラー状態が表示され（知られ）るべきであることが非常に望ましい。

【0014】また、望ましくは、受信パケットの開始時にパケットエラー情報を得るために用いたあらゆる操作およびCRC機能は、コストを低減するために最少量の格納能力、例えばフリップフロップ遅延素子および／または記憶容量を用いて実行できる必要がある。

【0015】

【発明が解決しようとする課題】そこで、伝送パケットのCRCチェックバイトがパケットヘッダおよびデータに続くビットストリーム中に位置決めされるMCNSパケットストリームのようなパケットのビットストリームにおいてCRCエラーチェック動作およびパケット同期化をコスト上有効な仕方で行う方法および装置が要望されている。また、そのようなビットストリームを、パケットにエラーがないとして47HEXの値をもつ同

期バイトがパケットの開始時に配置されるMPEG搬送パケットストリームに変換できるおよび／またはパケットの開始時にエラーのあるパケット状態を表示できる方法および装置も要望されている。

【0016】

【課題を解決するための手段】本発明は、通信方式、例えばケーブルテレビジョンシステムを介してのデータストリームの提供を伴う通信方式における信号の同期化および巡回冗長検査を効果的に実行する方法および装置に関する。

【0017】本発明の方法および装置は、パケット同期化操作およびMCNSデータパケットにおいて行われる順方向エラー修正(FEC)を実行するデコーダと組み合わせて、公知の方法と比較して回路の要求を低減するのに使用され得る。

【0018】本発明によれば、パケット同期化とエラーチェックの両方を行うように作動するCRCデコーダは、二つのモードすなわち、1)パケット同期取得動作モードと、2)同期ロック動作モードとのいずれか一方で作動する。

【0019】本発明のCRCデコーダ回路は、第1および第2機能回路と、相対的に大きな数のビット、例えば1491ビットを格納する容量をもつ記憶装置と、相対的にわずかな数のビット、例えば15ビットを格納できる遅延レジスタとを備えている。

【0020】入力パケットストリームのビットからCRCシンドロームバイトを発生するのには、第1機能回路を用いてパケットストリームのデータビットを処理し、予め選択した時間間隔の間第1機能回路で発生したビットの少なくとも幾つかを格納し、そして第2機能回路を作動して第1機能回路の最新の出力および第1機能回路から予め出力された遅延ビットの少なくとも幾つかを用いて関連するCRCシンドロームバイトを発生させることを伴う。

【0021】パケット同期取得動作モード中、入力ビットストリーム内のパケット境界は最初はデコーダ回路に対して未知であり、関連するCRCシンドロームバイトの発生に用いられかつ格納されるべきである第1機能回路出力の特定ビットを特定することを困難または不可能にさせる。このため、記憶装置はパケット同期化中に、パケット処理時間間隔において第1機能回路で発生したビットのほとんどまたは全てを格納するのに用いられ、それらのビットを第2機能回路で使用できるようにしている。CRCシンドローム発生装置の出力は、パケットの境界を表す予め選択した値、例えば47HEXの生じている間モニタされる。パケット同期化は既知のパケット間隔、例えば1497ビットで繰り返して出力されることになる期待したCRCシンドローム値を検出することにより達成される。

【0022】一旦、パケット同期化が達成されると、第

1 機能回路の出力におけるいかなる特定ビットが関連するシンドロームバイトを発生する際に第2機能回路で使用されるかを正確に特定することができる。

【0023】本発明の一実施の形態によれば、パケット同期化が達成されると、デコード回路は同期ロック動作モードに切り替わる。同期ロック動作モード中に、例えば15以下のビット場所をもつ比較的小さなレジスタを用いて、関連するシンドロームバイトを発生するために第2機能回路で必要とされるビットを格納するようにされる。従って、同期ロックモード動作においては、本発明のデコードではパケット同期取得動作モード中に使用された記憶装置は他の機能に役立つように使用され得る。

【0024】一つの特の実施の形態においては、本発明は同期取得動作モード中にフィードバック記憶装置として使用された記憶装置をパケットデータ遅延記憶装置として使用している。このようにして、シンドロームバイトを発生するのに使用した受信パケットデータは一つのパケット時間間隔遅延され得る。

【0025】本発明の実施の形態によれば、発生したシンドロームバイトは、遅延パケットデータの直ぐ後にシンドロームバイトを挿入することにより遅延パケットデータと結合される。このような実施の形態においては、シンドロームバイトは、パケット同期バイトおよびエラー表示信号として役立つ。パケットにエラーがあると、シンドロームバイトは、パケットに含まれたデータにエラーがあるパケットを受ける後続の回路に指示する期待した同期バイト値と異なる値を仮定する。他の実施の形態では、MPEG同期バイトを表す47HEXの値をもつバイトは遅延パケットデータの直前に挿入される。同期バイトの加えられる遅延パケットデータにエラーがあることをシンドロームバイトが表示する場合には、パケットデータの先頭に含まれたヘッダの最初のビットは、パケットデータにエラーがあることを表示するように設定される。

【0026】本発明の方法および装置は、特にMCNSパケットストリームを処理してそこからMPEGパケットストリームを発生するのによく適合される。しかしながら、本発明の方法および装置は、相対的に長いフィードフォワード遅延を必要とするCRCチェック機能を使用する他の形式のデコードにも応用することができる。

【0027】上記の実施の形態および特徴の他に、本発明の方法および装置の種々の付加的な特徴、実施の形態および利点について以下説明する。

【0028】

【発明の実施の形態】 上述のように、本発明は、通信方式における信号の同期化および巡回冗長検査を効率的に実行する方法および装置に関する。本発明は、特にパケット伝送に関連してCRCチェック機能を使用する方式によく適合する。以下に説明するように、本発明は、M

CNSデータパケットにおいて処理するフォワードエラー修正(FEC)およびパケット同期化動作を実行するデコードに関連する回路の要件を従来の装置に比較して単純化する。

【0029】MCNSパケットストリームを処理する実施の形態に関して説明のため本発明の種々の実施の形態について記載するが、本発明の方法および装置は、長いフィードフォワード遅延を必要とするCRCチェック機能を使用する広範囲の同様なシステムに応用され得る。

10 【0030】上述のように、MCNS Data-Over-Cable RFインターフェース仕様においては、パケットデータにおいて同期回復およびCRC多項式チェック機能が組み合わせて実行される。この機能は、1) MCNS搬送ストリームにおけるパケットのビットアライメントおよび搬送パケットの内容を回復することと、2) 各受信パケットにおけるエラー検出動作を実行すること、との二重の目的を果たしている。

【0031】受信MCNSデータストリームにおけるパケットとの同期化を達成する処理には、受信データストリームに含まれたエラーなしのパケットに対応したビットがCRCチェックバイトデコードで処理される時に発生された、例えば値47HEXのような特定のビットパターンのデータのブロックを検索することが含まれる。

30 【0032】次に図5を参照すると、MCNS CRCチェックバイトと、対応したパケットのビットとを用いて復号動作を実行できるCRCチェックバイトデコードが示されている。図5に示すシンドロームデコード回路500は図4に示す公知のデコード回路と同様である。公知のデコード400の要素と同じかまたは同様であるデコード回路500の要素は図4で使用した符号と同じ符号で表わされる。図4のデコードと図5のデコードとの重要な相違点は、図5のデコードが、例えばフリップフロップを用いて構成した専用遅延装置480に代えてランダムアクセスメモリ580の1497ビットを用いている点である。メモリ580はフィードバックメモリとして機能している。RAMメモリ580を使用することにより、装置のコンパクトさやハードウェアの融通性の点で有利である。従って、図5の実施の形態では、デコード回路500を用いてCRCチェック機能を実行する

40 ために、RAMメモリ580を使用して1497ビット遅延されるデータが使用される。

【0033】パケット同期パターンを取得することで、デコード回路500によるCRCシンドロームの発生は、受信したパケットにおけるエラーの有無をチェックするのに役立つ。あいにく、受信したパケットにおけるエラーのチェックは、通常完全なパケットが処理されるまで完了されない。すなわち、全エラーなしのパケットのデータ内容は、同期値47HEXがデコード回路500によって出力される前に処理されなければならない。パケット同期化が存在する時パケット処理後の47HE



X以外の値のデコーダ回路500からの出力は、受信したパケットがエラーを含んでいることを表わしている。

【0034】デコーダ回路500の出力は、パケットにエラーのない時のMPEGパケット同期バイト値に等しいので、MCNSオーバーケーブルパケットストリームからのMPEG搬送ストリームを再構築するのに使用され得る。図1に示すように、MPEG搬送ストリームは通常、搬送パケットの最初のバイトとして47HEXの値をもつ同期バイトを含んでいる。更に、デコーダ回路500の出力は、パケットにおけるエラーの検出された時を表わすのでエラー検出信号としても使用できる。

【0035】上述のように、パケットの先頭を検査することによりパケットのエラーを容易に検出できる場合にはデコーダ回路500に追従する種々の処理機能に有効である。このようにして、エラーを含んだパケットの処理は避けられるかまたはエラーのないパケットの処理と違った仕方で行われ得る。

【0036】本発明の一つの実施の形態によれば、デコーダ回路500からのCRCシンドロームバイト出力は、シンドロームバイトを作るのに使用された対応したパケットに挿入される。このようにして、パケットエラー表示信号を表わすシンドロームバイトはMPEGパケットの最初のバイトとなる。エラーなしのパケットの場合、この最初のバイトは期待した47HEXの同期バイト値をもち、それにより最初のバイトは同期バイトとパケットエラー表示との二つの働きをする。従って、エラーのないパケット伝送の場合、本発明の方法および装置は、受信したMCNSパケットストリームからMPEGパケットストリームを再構築する。

【0037】本発明の他の実施の形態によれば、MPEG同期バイト、例えば47HEXの値をもつバイトは各データパケットの最初のバイトとして挿入される。更に、CRCシンドローム出力は、対応したパケットデータがエラーを含んでいたかどうかを検査するようにチェックされる。処理すべきパケットデータがエラーを含むことをCRCシンドロームバイトが表示すると、同期バイト／エラー表示信号は、結合回路により対応したパケットヘッダの最初のビットを設定させる値に設定され、結合回路で処理されることになる遅延パケットデータにエラーがあることを表示するようにする。このようにして、MPEGコンプライアントパケットストリームは、受信したMCNSパケットストリームから構成され、搬送パケットにエラーが含まれているかを表示するエラー表示信号は、発生されたMPEG搬送パケット開始点近くに含まれる。

【0038】デコーダ回路500で発生したシンドロームバイトを、当該バイトの発生をもたらしたパケットの最初のバイトとして用いるために、パケットデータ、例えばヘッダおよびペイロード、完全なパケット期間を遅延して、パケットデータを対応したエラー検出信号、例

えばデコーダ回路500からのシンドロームバイト出力またはパケットヘッダに挿入されることになるエラー表示ビットとアライメントできるようにする必要がある。パケットデータの遅延は、第1の遅延RAM580とほぼ同じ大きさの第2のRAMを用いて達成され得る。

【0039】本発明の一実施の形態では、デコーダ回路装置の効率は、記憶素子580によって行われるフィードバック機能を、パケット同期化の達成された後に記憶素子580より更に少ない記憶素子をもつレジスタ遅延に切り換えることによって向上される。デコーダ回路500で実行されるCRC計算においては実際には遅延データの特定の僅か数ビットだけが必要とされるので、パケット同期化が達成されると、記憶素子580の代わりに相対的に少数の記憶素子を用いることができる。記憶素子580のフィードバック機能が本発明に従ってレジスタ遅延に切り換えられると、記憶素子580はパケットデータを遅延するのに再使用され得る。これにより、本発明に従って構成したCRCデコーダ回路で発生したエラー表示信号を用いてパケット同期化、エラー検出、および二つの別個のメモリ、例えば同期化／エラー検出用のパケットの内容の大部分をまず遅延させる第1のメモリと、処理されることになるパケットの開始時に発生したエラー表示信号を挿入できるようにパケットの内容を遅延させる第2のメモリ、を必要としない被処理パケットの最初のバイトへのエラー表示信号の挿入を行うことができる。

【0040】本発明によれば、一旦、パケット同期化が達成されると、記憶素子580のフィードバック機能は比較的小さな遅延レジスタにシフトされ、それにより記憶素子580はフリーとなりエラー表示信号を発生しながらパケットデータを遅延させるのに使用される。

【0041】MCNSパケットストリームに含まれた受信パケットに対するMCNS CRCバイトを復号する際の第1のステップには、処理すべきパケットストリームのパケット構造との同期化を達成することが含まれる。これは、受信パケットに対応したCRCチェックバイトを復号するのに用いた回路500のようなLFSRの出力において通常のMPEGパケット同期バイト(47HEX)を取得する技術を適用することにより行われ得る。これを行う一つの方法は、各新しい入力ビットを処理した後LFSR500の最後の8ビットを検査することにある。この8ビットは同期パターン47HEXに対するマッチングについて検査される。同期パターンが検出されると、本発明の方法は1504ビット時間、例えばデコーダ回路500を介して一つの全パケットのデータをシフトさせるのに必要な時間の待ちおよびLFSR500の出力の再検査を行う。同期パターン47HEXが再び検出されると、パケット同期が見出されたことを表示する。このようにして、例えば図6に示す回路608のような同期検出／エラー検出回路によってパケッ



ト同期化ロックが明らかになる前に多重確認が得られ得る。

【0042】パケット同期化ロックが達成されると、CRCシンドロームが正しく計算されたどうかを検査してエラーなしパケットを表示する、またはエラーが発生したどうかを検査する同期値が出力される場所についてLFSR500の出力を検査することだけが必要である。

【0043】本発明の種々の実施の形態を構成するために、シンドローム復号LFSR500は分析のために三つの別個の部分または区分に分けられ得る。第1の区分502はg(X)多項式部分であり、第2の部分504はb(X)多項式部分であり、また最後の区分は遅延素子 $X^{1497}$ 部分580である。g(X)は8桁のLFSR、例えば8ユニットの遅延素子402~409を含むLFSRを用いて構成され得る関数である。b(X)は7桁のフィードフォワードシフトレジスタ、例えば7ユニット遅延素子を含むフィードフォワードシフトレジスタを用いて構成され得る関数である。第1および第2のデコード区分502、504に用いられる各ユニット遅延素子は1ビットレジスタを用いて構成され得る。

【0044】遅延素子 $X^{1497}$ 部分は、一連のフリップフロップとして構成される場合には有効ゲートアレイを必要とし、従ってデコード回路500のこの部分580をRAMメモリのセグメントとして実装するのが望ましい。

【0045】遅延素子 $X^{1497}$ としてRAMを使用する時メモリアクセス効率を改善するために、一つの実施の形態ではメモリアクセス操作は1ビットより大きいデータセグメントを用いて行われ、例えばメモリをアクセスする際には7ビットセグメントが使用される。デコード回路500に先行するステージの一つは適当には7ビット符号で動作するリードソロモンデコードであり得るので、g(X)多項式関数を構成するのに用いたLFSRと一度に7ビットを用いるメモリとの両方を作動させることには意味がある。

【0046】図6には、MCNSパケットストリーム同期化操作およびMPEG搬送パケットストリーム再構築操作を実行できる本発明に従って構成された回路600を示す。回路600は、エラーなしパケットの場合にMPEG同期バイトとして機能するパケットの始点においてエラー表示信号を挿入する。

【0047】回路600は、g(X)関数回路603と、b(X)関数回路604と、メモリ680とを有する。メモリ680は以下に説明するように、パケット同期化操作モード中 $Z^{-1497}$ として用いられ、そして同期化ロック操作モード中にはパケットデータ遅延回路として再使用されるメモリセグメントを備えている。これら三つの主要要素603、604、680の他に、回路600は、メモリアクセスの制御、パケット同期化操作モード間の切替えおよび同期化ロックの検出用の種々の付

加的な要素を備えている。

【0048】次に簡単に図9を参照すると、g(X)関数回路603として用いるのに適した回路903が示されている。この回路903は7ビットで動作するように設計される。

【0049】図示するように、g(X)関数回路は8個のユニット遅延素子910~917と、28個の加算器920~947とを有し、図9に示すように互いに結合されている。入力( $I_0, I_1, I_2, I_3, I_4, I_5, I_6$ )の各々は、g(X)関数回路903への最新の入力として働く入力ビットストリームの7ビットの一つに対応している。出力( $O_0, O_1, O_2, O_3, O_4, O_5, O_6$ )はg(X)関数回路903で発生した7ビット出力信号を表している。

【0050】g(X)関数回路903内において、出力( $O_0, O_1, O_2, O_3, O_4, O_5, O_6$ )はフィードバック信号として用いられる。更に、遅延素子910から出力された内部発生信号G7は、出力信号を発生する際に加算器924への入力として用いられる。

【0051】次に図10を参照すると、b(X)関数発生回路604として適した回路1004が例示されている。b(X)関数発生回路1004は7個のユニット遅延素子1010~1016と、28個の加算器1020~1047とを有し、図10に示すように互いに結合されている。

【0052】b(X)関数発生回路1004は入力信号として、g(X)関数回路603から出力された最新の7ビット( $O_0, O_1, O_2, O_3, O_4, O_5, O_6$ )およびg(X)関数回路の選択した前の出力に対応する7ビット( $D_0, D_1, D_2, D_3, D_4, D_5, D_6$ )すなわちメモリ680または遅延レジスタ605を用いて遅延され、b(X)関数発生回路の出力を発生するようにb(X)関数発生回路によって要求された一つ以上の前のg(X)出力の特定の複数のビットを受ける。遅延レジスタ605に格納されるビットについて以下図7および図8を参照して説明する。

【0053】b(X)関数発生回路604はフィードフォワードシフトレジスタ回路であるので、出力は単にこれまでの有限時間での入力に依存する。この場合、出力は、g(X)関数発生回路603の最新の出力およびg(X)関数発生回路から4個の遅延出力の関数である。特定の既知時間に、例えば同期値47HEXの生じることが期待される時にb(X)多項式を検査したい場合には、関連する時間にb(X)値を計算する必要のあるg(X)ビットだけを遅延し格納する必要がある。

【0054】関連するシンドローム出力は、b(X)関数発生回路によって発生された値のビットb(1497)~b(1504)に対応する。図8はb(X)関数発生回路のシンドローム出力を表す関連するb(X)ビットおよびg(X)関数発生回路の出力ビットの依存性

を示す。関連するビット、すなわち1497~1504の範囲内のb(X)ビットは、パケット境界に対する-7~+7の範囲内のg(X)値および最新のg(X)入力の関数である。

【0055】従って、同期アライメントが検出され、そして関心が同期時間においてCRCデコーダの出力となると、全1497ビットと違って同期時間にシンドロームを計算するために遅延される必要のあるのは15ビットを簡単に格納できる。従って、必要な15ビットを格納するのに遅延レジスタ605のようなレジスタを用いることによって、同期取得が達成されると、メモリ680は、例えばパケットデータ遅延装置として使用しない。

【0056】本発明の一実施の形態によれば、同期ロック操作モード中に、最新のg(X)出力ビットおよび遅延レジスタ605の内容は、同期値の発生した時にb(X)関数発生回路の出力を計算するのに用いられる。

【0057】パケット同期取得および同期ロック操作モードの両方の間に本発明のデコーダ回路600の内容および動作について以下詳細に説明する。

【0058】上述のように、デコーダ回路600の三つの主要構成要素は、g(X)関数回路603と、b(X)関数発生回路604と、メモリ680である。g(X)関数回路は入力として、入力ビットストリームのビット、例えば処理されることになるMCNSパケットストリームからのビットを受ける。g(X)関数回路は7ビット出力信号を発生し、この出力信号は、b(X)関数発生回路604の第1入力と、遅延レジスタ605のデータ入力と、第2のMUX 618の第1入力とに供給される。

【0059】遅延データ入力であるb(X)関数発生回路604の第2入力は、第3のMUX 619の出力に接続される。この第2入力を介してb(X)関数発生回路604はg(X)関数回路の前の出力に対応したビットを受ける。

【0060】三つの主要要素603、604、680の他に、デコーダ回路600は、第1および第2ラップアラウンドカウンター615、616と、遅延レジスタ605と、パケットデータアレンジメント回路610とを有している。またデコーダ回路600は、同期検索/エラー検出回路608と、結合回路614と、第1、第2、および第3マルチプレクサー(MUX)617、618、619とを有している。

【0061】第1および第2ラップアラウンドカウンター615、616は、g(X)関数回路603およびb(X)関数発生回路604を通るビットの通過を制御するのに使用した同じクロック信号によって駆動される。これらのラップアラウンドカウンター615、616は、メモリアドレス発生装置として機能する。

【0062】第1ラップアラウンドカウンター615は

パケット同期化(同期ロック取得)操作モード中にメモリ680をアクセスするメモリアドレスとして用いられるカウント遅延信号を発生する。第1ラップアラウンドカウンター615は、メモリに一度に7ビットをロードすると仮定すると、1491ビットのメモリへのシフト操作またはロード操作に対応する十進法で0~212の値の範囲のカウント遅延信号を発生する。

【0063】同期取得操作モード中にメモリ680を用いて構成した1497ビットの遅延間隔は7で均等に割れないので、b(X)関数発生回路で必要な遅延データの7ビットはg(X)関数回路の出力からメモリに書き込まれた7ビット語の一つを読み出すことによってメモリ680から簡単には検索することができない。g

(X)関数回路からの7ビット語における実際の遅延は213.86語である。これは、遅延データの一部が213語遅延で読み出され、一部が214語遅延で読み出されることを意味している。図7は、b(X)関数発生回路で使用した7ビットがいかにしてg(X)関数回路603から出力された7ビット語を埋めるかを示している。従って、二つの7ビットセグメントがメモリ680から出力されて、シンドロームバイトを発生するのに必要な二つの異なった7ビット語からデータを発生するようにしなければならない。

【0064】第2ラップアラウンドカウンター616は、同期ロック操作モード中にメモリ680をアクセスするメモリアドレスとして用いられるカウントパケット信号を発生する。第2ラップアラウンドカウンター616は、パケットに含まれた8ビットバイトの数(188)に対応する0~187の値の範囲のカウントパケット信号を発生する。従って、パケット遅延素子として同期ロックモードにおいて動作する際に、メモリ680は一度に8有用ビットのデータを出力し、一方、同期取得モードでは一度に7有用ビットを出力する。

【0065】デコーダ回路600の同期取得操作モードについて以下説明する。同期取得操作モードにおいて、同期検索/エラー検出回路608の同期ロック出力は低い。この信号は第1、第2、および第3のMUX 617、618、619を制御する。同期ロック出力が低いことによって、カウント遅延カウンター615の出力は第1のMUX 617を介してメモリ680のアドレス入力に供給される。同時に、g(X)関数回路の出力は第2のMUX 618を介してメモリ680のデータ入力に供給される。

【0066】同期取得モードでは、メモリ680はb(X)関数発生回路604で使用するg(X)関数回路の出力を遅延する遅延バッファとして用いられる。この操作モードでは、メモリ680から出力された各8ビットから7ビットが第3のMUX 619を介してb(X)関数発生回路604の遅延データ入力に供給される。

【0067】g(X)関数発生回路603およびb(X)関数発生回路604によるデータの処理は、同期検索／エラー検出回路608に供給されかつこの回路によって検査されるb(X)関数発生回路604で発生したシンドローム出力によって上述のように行われる。

【0068】例えば、期待したパケット間隔で値47HEXを繰り返し検出することにより、同期ロックを検出する際に、同期検索／エラー検出信号は同期ロック信号を仮定する。更に、同期検索／エラー検出信号は、同期バイト／エラー検出信号としてb(X)関数発生回路の出力から発生したシンドロームバイトを出力する。エラーなしパケットの場合、この信号は47HEXの値をもつ。

【0069】同期ロック信号により、デコーダ回路600は同期ロック操作モードに切り換えるように作動する。この操作モードにおいては、パケットデータアレンジメント回路610が使用される。パケットデータアレンジメント回路610はその入力として、入力パケットストリームのビットを受ける。パケットデータアレンジメント回路610は、ビットを8ビットバイトにグループ化し、これらのビットバイトは第2のMUX 618の第2入力に供給される。

【0070】同期ロック信号により、第1のMUX 617は、カウントパケットカウンタ616の出力をメモリ680のアドレス入力に接続される。更に、第2のMUX 618は、パケットデータアレンジメント回路610の出力をメモリ680のデータ入力に接続される。従って、同期ロック操作モードにおいては、入力ビットストリームから受けたパケットデータは、この操作モード中パケットデータ遅延回路として働くメモリ680に供給され、そこに格納される。

【0071】カウントパケットカウンタの出力は、遅延レジスタ605の制御入力に接続され、そしてg

(X)出力信号の予め選択したビットを格納する遅延レジスタ605を制御するのに使用され、g(X)出力信号はシンドロームバイトの発生においてb(X)関数発生回路604で後で使用するためにデータパケットに対応したデータを処理している間に発生される。同期ロック操作モードにおいては、遅延レジスタ605の出力は、b(X)関数発生回路の遅延データ入力に接続される。従って、同期ロック操作モードにおいては、b

(X)関数発生回路に供給される遅延データはメモリ680ではなく遅延レジスタ605から得られる。

【0072】パケットエラーのない場合、同期検索／エラー検出回路608の同期バイト／エラー表示出力は値47HEXである。同期ロック操作モードにおいて、結合回路614はメモリ680からの遅延パケットデータおよび同期バイト／エラー表示信号を受ける。結合回路は、その出力ビットストリームに、受信した8ビット同期バイト／エラー表示信号を挿入した後、遅延パケッ

トデータを出力し、この遅延パケットデータは同期バイト／エラー表示信号を発生するのに用いられる。同期検索／エラー検出回路608でエラーが検出される場合には、同期バイト／エラー表示信号は47HEX以外の値となり、この値は、出力されることになるパケットデータのエラーを表示する結合回路614から出力される遅延パケットデータの始点に挿入される。

【0073】上述のようにして、結合回路614は、遅延した受信パケットデータおよびb(X)関数発生回路604のシンドローム出力から、エラーなしのMCNSパケットの受信を想定してMPEG準拠搬送パケットストリームを発生し、またエラーを含んだパケットの場合にはMPEG同期バイトの代わりにエラーを含んだパケットの最初のバイトにエラー表示をもつデータストリームを発生する。

【0074】例えば、拡大した信号干渉の期間のため同期ロックがなくなった場合には、b(X)関数発生回路604のシンドローム出力は、一連のパケットに対して47HEX以外の値となる。多重シーケンシャルの47HEX以外の値がb(X)関数発生回路から出力されると、同期検索／エラー検出回路608はこの状態を検出し、そして同期ロック信号を止める。同期ロック信号がなくなると、回路600は同期取得操作モードに切り換えるように作動する。

【0075】次に図11を参照すると、本発明の一実施の形態に従って構成した通信方式1100が示されている。図示するように、通信方式1100はデジタルケーブルパケットエンコーダと、ケーブルテレビジョン送信機と、一つ以上のケーブル受信機1101とを有している。

【0076】デジタルケーブルパケットエンコーダ1102はその入力として符号化されてないビデオを受け、そしてCRCチェックバイトを含む符号化したケーブルパケットを発生する。ケーブルテレビジョン送信機1104は、例えばケーブルTV線を介して複数のケーブル受信機1101にケーブルパケットを伝送する。各ケーブル受信機は、例えば図6に示す形式のCRCデコーダ1106を備えている。デコーダ1106は伝送パケットを処理し、MPEGパケットを発生し、このMPEGパケットは上述のようにパケットヘッダにおけるエラー表示信号を含んでいる。また受信機はMPEGデコーダ1108を備え、このMPEGデコーダ1108は、デコーダ1106から出力されたMPEGパケットを受け、データ、例えばそこに含まれたビデオデータを復号し、そして復号したビデオデータをディスプレイ装置1109に供給する。ディスプレイ装置1109、例えばHDTVまたはコンピュータディスプレイは復号したビデオデータを表示するのに用いられる。

【図面の簡単な説明】

【図1】MPEG搬送パケットの構成を示す図である。

【図2】CRCバイトを含むMCNSパケットの構成を示す図である。

【図3】データパケットのペイロードおよびヘッダからCRCチェックバイトを発生するCRCエンコーダを示す図である。

【図4】ヘッダ、ペイロードおよびMCNSデータパケットに対応したCRCチェックバイトからCRCシンドロームを発生するデコーダを示す図である。

【図5】ヘッダ、ペイロードおよびMCNSデータパケットに対応したCRCチェックバイトからCRCシンドロームを発生するため本発明の一実施の形態に従って構成したデコーダを示す図である。

【図6】CRCチェックバイト復号動作を実行しかつMCNSパケットストリームからMPEG搬送ストリームを発生するシステムを示す図である。

【図7】パケットアライメントを達成した後CRCシンドロームを発生するために遅延する必要があるパケットストリームにおけるパケットのビットを示す図である。

【図8】関連する8ビットCRCシンドローム出力を表わすシンドローム発生装置の8ビットとCRCシンドロームを発生するのに使用した先行する機能回路の種々のビット出力との関係を示す図である。

【図9】本発明による7ビット実施の形態に従って使用され得る $g(X)$ 関数回路を示す図である。

【図10】シンドローム出力のビットを発生するために本発明の7ビット実施の形態に従って使用され得る $b(X)$ 関数回路を示す図である。

【図11】本発明の実施の形態に従って構成した通信方式を示す図である。

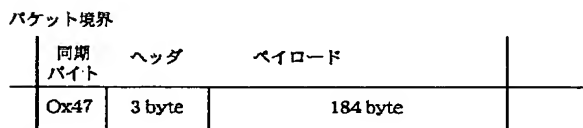
【符号の説明】

- 500 デコーダ回路
- 502 第1の区分
- 504 第2の区分
- 580 ランダムアクセスメモリ
- 600 回路
- 603  $g(X)$ 関数回路
- 604  $b(X)$ 関数回路
- 605 遅延レジスタ
- 608 同期検索/エラー検出回路
- 610 パケットデータアライメント回路
- 615 第1のラップアラウンドカウンタ
- 616 第2のラップアラウンドカウンタ
- 617 第1のマルチプレクサ
- 618 第2のマルチプレクサ
- 619 第3のマルチプレクサ
- 680 メモリ
- 903  $g(X)$ 関数回路
- 910~917 遅延素子
- 920~947 加算器
- 1004  $b(X)$ 関数回路
- 1010~1016 遅延素子
- 1020~1047 加算器
- 1100 通信方式
- 1101 ケーブル受信機
- 1102 デジタルケーブルパケットデコーダ
- 1104 ケーブルテレビジョン送信機
- 1106 CRCデコーダ
- 1108 MPEGデコーダ
- 1109 ディスプレイ装置

30

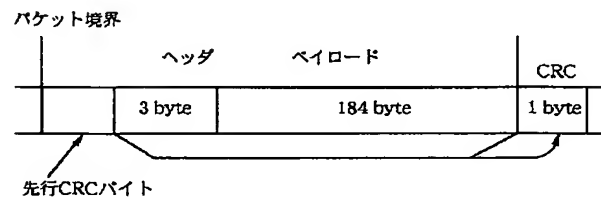
【図1】

図 1  
従来技術  
MPEG搬送パケット構造



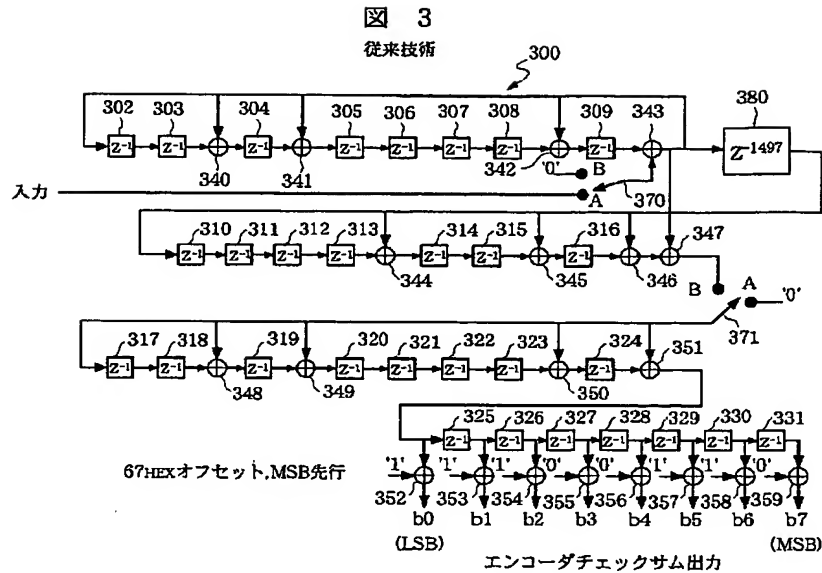
【図2】

図 2  
従来技術  
CRCを伴うMCNSパケット



【図3】

【図8】



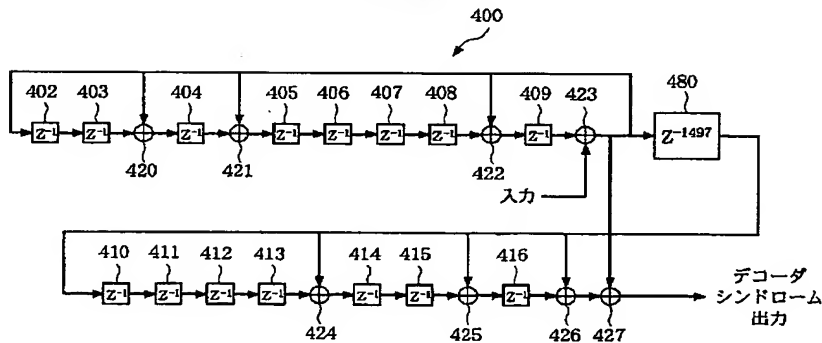
$$\begin{aligned}
 b(1497) &= g(1497) + g(0) + g(-1) + g(-3) + g(-7) \\
 b(1498) &= g(1498) + g(1) + g(0) + g(-2) + g(-6) \\
 b(1499) &= g(1499) + g(2) + g(1) + g(-1) + g(-5) \\
 b(1500) &= g(1500) + g(3) + g(2) + g(0) + g(-4) \\
 b(1501) &= g(1501) + g(4) + g(3) + g(1) + g(-3) \\
 b(1502) &= g(1502) + g(5) + g(4) + g(2) + g(-2) \\
 b(1503) &= g(1503) + g(6) + g(5) + g(3) + g(-1) \\
 b(1504) &= g(1504) + g(7) + g(6) + g(4) + g(0)
 \end{aligned}$$

1497から1504の変域の $b(X)$ は、変域が-7から7の $g(X)$ と現在の $g(X)$ の和の関数

【図4】

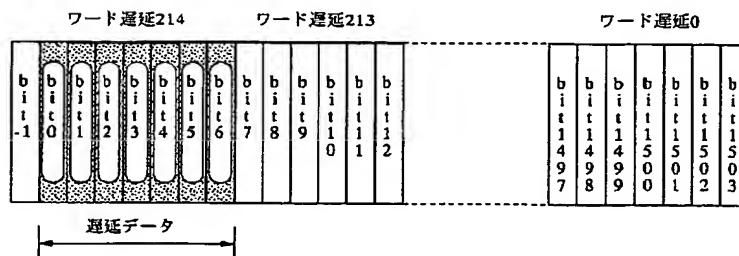
図4

従来技術

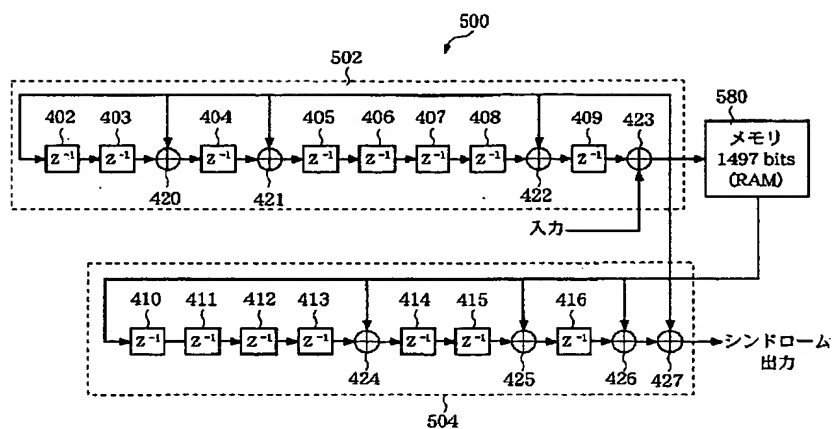
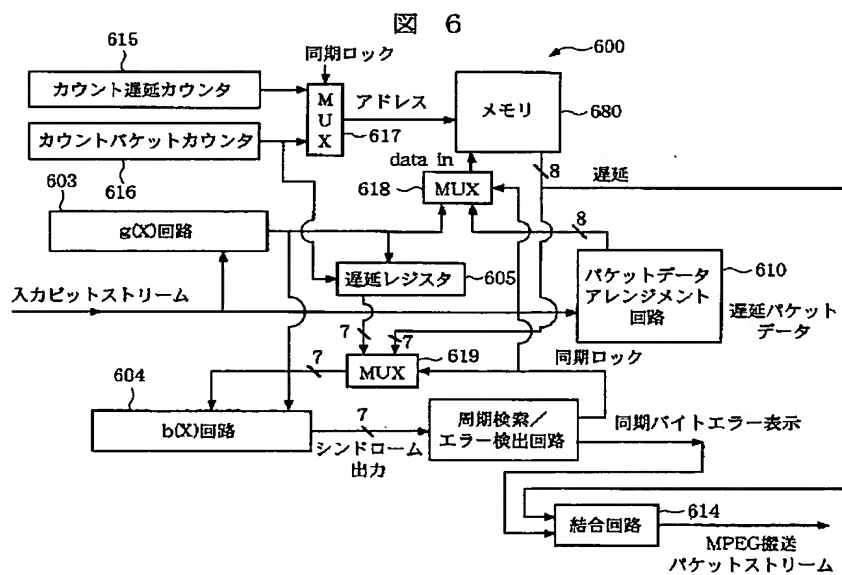


【図7】

図7



☒ 5

 6

【図 10】

Figure 10 is a line graph with '人数' (Number of people) on both the x-axis and the y-axis. The x-axis is labeled '人数' and has a scale from 0 to 10. The y-axis is also labeled '人数' and has a scale from 0 to 10. A straight line is drawn from the origin (0,0) to the point (10,10), representing the equation  $y = x$ .

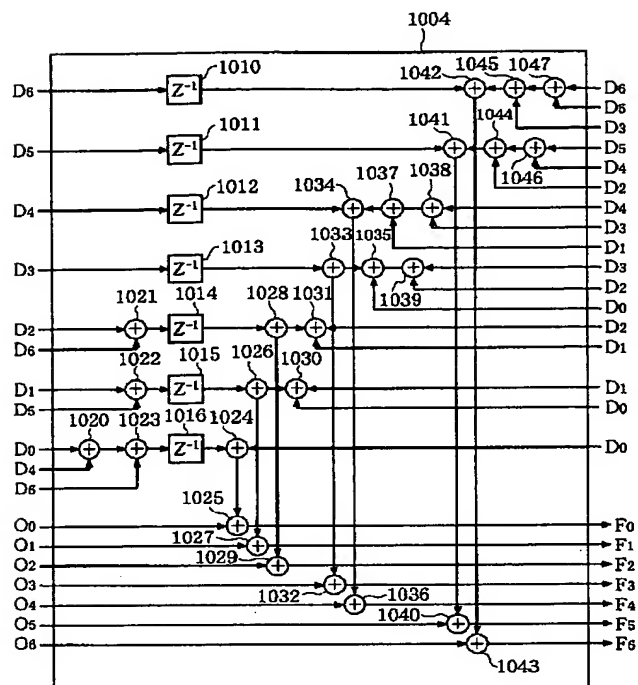


图 11

